

Proposition de sujet de thèse 2020

« Protection contre les décharges Electrostatiques pour des charges ultimes en technologie avancée UTBB FD-SOI 28/18 nm »

Sujet provisoire de thèse :

« Protection contre les décharges Electrostatiques pour des charges ultimes en technologie avancée UTBB FD-SOI 28/18 nm »

Date de début : 11/2020 à consolider suivant la commission de l'ANRT

Durée des travaux : 3 ans

Nom du candidat : TBD

Partenariat :

Société : STMicroelectronics ; EPS/FEM-TR&D/DP

Université : Université de Grenoble

Laboratoires : TIMA

Co-Direction de thèse :

STMicroelectronics : Philippe Galy HDR Fellow Technical Director

Laboratoire TIMA : Professeur Lorena Anghel, HDR

Contact : philippe.galy@st.com

Contexte :

Dans le cadre de l'intégration silicium FD-SOI CMOS avancée et plus particulièrement pour la technologie UTBB FD-SOI, il est nécessaire de se prémunir des décharges électrostatiques qui sont la première cause de défaillances des circuits intégrés. Notamment, les dimensions nano métriques conduisent à ce que les dispositifs à protéger soient extrêmement sensibles à de telles agressions électriques. Notamment, le défi est d'autant plus grand que la protection ne doit pas impacter la fonction finale comme un LNA faible bruit (traitement analogue), une tête RF 5G d'entrée (communication sans fil) ou bien un qubit de silicium (quantum computing en condition Cryogénique). On retrouve la même problématique sur l'impact de la protection ESD sur les oscillateurs à quarts de haute précision de synchronisation et de l'impact de dérivée en ppm. L'objectif principal de cette thèse est de proposer et d'étudier de nouvelles protections ESD dites en charge ultime réalisées en film mince et/ou en hybride bulk. L'étude sera entreprise grâce à des outils des simulations 3D TCAD de physique du composant et d'intégration silicium dans la technologie choisie. Des cosimulations seront à prévoir dans cette études. Par ailleurs, les démonstrateurs en silicium seront entièrement caractérisés au travers de leurs réponses électriques en TLP (Transmission Line Pulse) et VFTLP (Very Fast TLP) et cela au-delà du mode de polarisation statique DC.

Objectif :

Dans ce contexte, ce sujet de thèse a pour objectif principal la " **Protection contre les décharges Electrostatiques pour des charges ultimes en technologie avancée UTBB FD-SOI 28/18 nm** ".

En premier lieu, il est important de positionner cette étude au regard de l'existant ; c'est pourquoi un travail bibliographique sera nécessaire pour démarrer ces travaux de recherche et développement.

Il sera ensuite nécessaire d'effectuer des choix de stratégies de protection ESD en fonction des applications et des circuits, notamment après avoir défini et listé les charges ultimes. On gardera à l'esprit la notion de fiabilité dès la conception de la protection. Notamment dans cet objectif, il sera important d'étudier et de proposer des solutions tant au niveau du composant élémentaire de protection que du circuit de détection de l'événement ESD.

Notamment, les études se feront sur des dispositifs silicium sur isolant issus des technologies de fabrication STMicroelectronics. Pour ce faire, il sera nécessaire d'appréhender les techniques de fabrication 28/18 nm FD-SOI de STMicroelectronics « leader » dans ce domaine.

Des simulations TCAD 3D physiques du semi-conducteur multi couches, pour adresser les protections en film mince de silicium et dans la partie hybride silicium massif, sont à développer dans la chaîne d'outils en C28 – 18 nm et projection vers les technologies émergentes.

Ainsi, les structures proposées seront étudiées dans un premier temps sous l'aspect comportemental physique. Notamment, l'objectif principal est d'intégrer la protection ESD dans son environnement et d'évaluer son efficacité et son dimensionnement par l'intermédiaire de paramètres géométriques entre autres. Ceci est à mettre en regard avec la fenêtre ESD de la technologie et charge considérées.

Il sera également possible de réaliser une simulation mixte afin de mieux tenir compte des effets et couplage 3D de la structure. L'optimisation de l'implantation de la protection ESD au travers de véhicules de test sera alors envisageable au regard des résultats de simulation obtenus.

On se place ici dans le cadre d'une démarche de Co-Design de protection ESD innovantes.

En résumé, sur la base de la technologie CMOS avancée FD-SOI de STMicroelectronics et de par les solutions d'intégration envisagées il est proposé dans le cadre de cette thèse de :

- Réaliser une étude Bibliographique et état de l'art
- Consolider le premier démonstrateur par simulation physique 3D TCAD
- Elaborer des structures de protection ESD innovantes dans l'environnement Cadence
- Proposer des solutions d'intégration avec circuit de déclenchement
- Etudier l'efficacité de la protection ESD avec les charges ultimes (jonction/oxide)
- Faire les simulations et proposer/développer un démonstrateur silicium
- Présenter et positionner les résultats obtenus

Organisation des travaux de recherche

L'encadrement académique et scientifique sera assuré au laboratoire TIMA (Université de Grenoble-Alpes) dans le cadre de l'école doctorale de EEATS. Par ailleurs, le candidat de thèse devra posséder une bonne connaissance de la micro/nano électronique et des procédés de fabrication des circuits intégrés (intégration monolithique).

Le travail de recherche devra commencer par un état de l'art sur le domaine des ESD et des solutions établies à ce jour. A cela s'ajoutera une recherche bibliographique en mettant en avant les avantages et inconvénients de chaque solution. Cela s'accompagnera de l'étude de l'intégration de tels systèmes dans le cadre de charges ultimes à protéger. Ce dernier point est à argumenter et consolider de par la fenêtre ESD de la technologie d'intégration.

Il sera nécessaire d'utiliser un flow de simulation de type TCAD et/ou « Spice » ce qui permettra d'analyser les protections ESD seules et avec leurs charges à protéger. Ce travail s'inscrit dans une démarche de performance de protection et d'optimisation d'intégration silicium avec la notion de facteur d'échelle (ou portage).

Ainsi, après avoir mis en place et vérifié l'ensemble des outils et des procédures d'investigation, le cœur du sujet portera sur l'étude de la faisabilité de protection ESD ultime en technologie FD-SOI CMOS avancée(s).

Notamment, par l'évolution des technologies FD-SOI et des variantes de substrats SOI disponibles, il sera étudié l'intégration optimisée de tels dispositifs. La notion du facteur de haute intégration est primordiale dans ces travaux de recherches.

Un point mensuel d'état d'avancement des travaux sera effectué afin d'établir des jalons, de faire une synthèse des résultats obtenus et de proposer un plan d'actions. Il est également prévu de réaliser de façon trimestrielle une présentation de l'ensemble des travaux et des principaux résultats obtenus.

Il est convenu que les principaux résultats peuvent faire l'objet de communications, publications dans des revues ou congrès internationaux ou brevets et ce, après accord des parties engagées dans cette thèse.

Le candidat sera basé principalement sur le centre de recherche de Crolles STMicroelectronics et au laboratoire TIMA et également en interaction avec les plus grands centres de recherches eues égard à l'écosystème des partenaires. Le (a) candidat(e) aura accès à l'ensemble des moyens et outils au sein TR&D /DP pour développer et réaliser les composants proposés dont l'étude préalable montre pleinement l'intérêt de leurs intégrations.

En conséquent, il se dégage un planning général en vue du développement de cette thèse :

- 1) Dans les premiers six mois : prise en main de l'environnement, information et des outils de simulation pour la réalisation de véhicules de test dans la technologie identifiée avec, en parallèle, étude de l'état de l'art antérieur et analyse de la bibliographie. Etude des contraintes que représentent une charge ultime à protéger (dimension minimale d'un jonction de transistor MOS, oxide fin, impact des éléments parasites de la structure)
- 2) Par la suite, analyser les différentes solutions ESD et phénomènes physiques associés a la charge à protéger. Faire un choix en adéquation avec la problématique posée.
- 3) Proposition et évaluation de solutions avec simulations/modèles dans le cadre de la recherche de robustesse ESD avec évaluation de l'impact sur la fonctionnalité électronique (ex : impact sur LNA, Qubit, oscillateur à quartz). Montrer où se trouvent les limites de « robustesse/performance ». Le cas échéant, pousser les limites du système proposé. Elaboration d'un véhicule de test, environnement cadence, pour preuve de concept. Consolidation de la bibliographie au regard de l'avancement des travaux.
- 4) Lancement des premiers véhicules de mesures élémentaires et complexes. On prendra soin au choix des conditions environnementales. Entreprendre une confrontation aux précédents résultats bibliographiques et mesures silicium disponibles à ce jour.
- 5) Etude et proposition de nouvelles approches/méthodes/solutions compatibles avec une technologie FD-SOI CMOS avancée au sens général du terme.
- 6) En outre, en fin de la première année, l'objectif est de communiquer à la communauté les premiers résultats obtenus et permettre d'ouvrir le réseau international d'experts du domaine. On travaillera ce point tout au long de la thèse afin de positionner l'ensemble des travaux ainsi que les partenaires de ce sujet d'étude, au plus haut niveau international.
- 7) L'objectif au terme de la thèse sera de réaliser un véhicule de test comprenant des solutions et contraintes système de protection ESD avec charges ultimes et ce après avoir simulé le véhicule de test complet avec les contraintes dues à la technologie, à la charge et à la fonction électronique. Ceci amène à la question de la robustesse du circuit proposé vis-à-vis de la technologie d'intégration et des spécifications d'opération. On pourra proposer une figure de mérite de la solution.
- 8) Les derniers temps de cette thèse seront consacrés à la rédaction de la mémoire de thèse

Le tableau ci-après résume une proposition de planning et des principales tâches de travail.

	S1	S2	S1	S2	S1	S2
Y1	1	1 2	2			
Y2		3 4	3 4	3 4	4	
Y3		5 6	5 6	5 7	5 7	5 8

Bibliographie :

- Ph. Galy and Wim Schoenmaker. "In-depth Electromagnetic Analysis of ESD Protection for Advanced CMOS Technology during Fast Transient and High-Current Surge. *IEEE Transactions on Electron Devices* , v 61, n 6, p 1900-6, June 2014
- S. Athanasiou, S. Cristoloveanu Ph. Galy, « Key parameters of BiMOS ESD protection device for UTBB FDSOI advanced technology". S3S 2015.
- Ph. Galy, "ESD challenges for FDSOI UTBB advanced CMOS technologies ". France IEW2014. Invited paper.
- Louise De Conti, Thomas Bedecarrats, Maud Vinet, Sorin Cristoloveanu, Philippe Galy « Toward Gated Diode-BIMOS for thin silicon ESD protection in advanced FD-SOI CMOS technologies". ICICDT 2017 USA
- Philippe Galy, Johan Bourgeat, Nicolas Guitard, Jean-Daniel Lise, David Marin-Cudraz, and Charles-Alexandre Legrand. » Ultracompact ESD Protection With BIMOSMerged Dual Back-to-Back SCR inHybrid Bulk 28-nm FD-SOI Advanced CMOS Technology ». *IEEE Transactions on Electron Devices* , Vol 64 n° 10, pp 3991 3997, 2017.
- Louise De Conti ^{1,2,3}, Sorin Cristoloveanu ², Maud Vinet ³, Philippe Galy . « Thin-film 28nm FD-SOI BIMOS ESD protection topologies « . IRPS 2019 USA
- Ph. Galy, Louise De Conti, Geoffrey Delahaye, Lorena Anghel, Maud Vinet , Sorin Cristoloveanu ; »Topology and design investigation on thin film silicon BIMOS device for ESD protection in FD-SOI technology ». ESREF 2019 France.