

Proposition de thèse 2020

« Étude de mémoires multiniveaux pour le calcul en mémoire (IMC) et des réseaux neuromorphique analogiques à décharges (ASNN) »

Sujet provisoire de thèse :

« Étude de mémoires multiniveaux pour le calcul en mémoire (IMC) et des réseaux neuromorphique analogiques à impulsions (ASNN) »

Date de début : 11/2020 à consolider suivant la commission de l'ANRT

Durée des travaux : 3 ans

Nom du candidat : TBD

Partenariat :

Société : STMicroelectronics ; EPS/FEM-TR&D/DP

Université : Université de Grenoble + Université Sherbrooke, Canada

Laboratoires : TIMA+ 3IT université de Sherbrooke

Codirection de thèse :

STMicroelectronics : Philippe Galy HDR Fellow Technical Director

Laboratoire TIMA/Université de Grenoble : Professeur Lorena Anghel

Laboratoire 3IT/U de Sherbrooke : Professeur D. Drouin et Professeur Fabien Alibart

Contact : philippe.galy@st.com

Contexte :

Dans le cadre du traitement massif de données, les architectures Von Neumann trouvent des limites dans les temps d'accès de pages mémoires et également dans la consommation d'énergie du calcul numérique lui-même. Notamment, il est à savoir qu'il existe une forte activité de la communauté scientifique et industrielle pour développer et mettre en place de nouvelles techniques et technologies basées sur le calcul dans la mémoire (in situ) par opérateurs spécifiques et également pour développer des réseaux neurones à décharges mimiques du cerveau humain avec pondération synaptique. Dans ces champs d'études, il est remarquable de constater que le point mémoire joue un rôle central et représente un élément d'intersection dans toutes ces approches. A Grenoble, dans le cadre de l'Institute Multi Disciplinaire d'Intelligence Artificielle MIAI, la chaire Spiking Neural Networks with non volatile emerging technologies, adresse ces problématiques. Un de porteurs de la chaire est Mme. Anghel, un de directeurs de cette thèse. Le travail de recherche proposé dans cette thèse s'inscrit donc parfaitement dans les objectifs de cette chaire, le travail de thèse sera fait en coordination et en immersion par rapport aux travaux proposés dans le cadre de la chaire susmentionnée.

Il est proposé dans cette thèse d'investiguer de nouvelles solutions en termes de mémoire multiniveaux non volatile (voir l'extension en volatile) sur la base de l'existant (grille flottante, changement de phase, mémoire résistive). La question des spécifications d'une telle mémoire est à élaborer et par suite de pouvoir entreprendre une recherche d'intégration technologique en

CMOS avancée. Le développement d'un démonstrateur silicium sera à établir pour faire preuve de concepts tant d'un point de vue du point mémoire que de ses applications futures.

Objectif :

Dans ce contexte, ce sujet de thèse a pour objectif principal :

« Étude de mémoires multiniveaux pour le calcul en mémoire (IMC) et des réseaux neuromorphique analogiques à décharges (ASNN) ».

Dans un premier temps, il est important de positionner cette étude au regard de l'existant ; c'est pourquoi un travail bibliographique sera nécessaire pour démarrer ces travaux de recherche et développement.

Il sera ensuite nécessaire d'effectuer des choix de stratégies dans la définition des attentes pour les mémoires multiniveaux sur au moins trois candidats identifiés au départ de cette thèse : PCM, eFlash et OxRAM. Ces trois candidats sont compatibles avec les technologies CMOS avec une intégration différente à savoir : FEOL ou BEOL. On gardera à l'esprit la notion de fiabilité dès la conception ed. cycles et rétention en fonction de la température dans le contexte d'une mémoire analogique. Notamment, dans cet objectif, il sera important d'étudier et de proposer des solutions tant au niveau du composant mémoire élémentaire que tant au niveau du circuit d'écriture/lecture. Ceci traduit du facteur d'échelle dans l'architecture du système d'applications (IMC, ASNN)

Par la suite, les études se feront sur des dispositifs sur silicium massif ou sur isolant issus des technologies de fabrication STMicroelectronics. Pour ce faire, il sera nécessaire d'appréhender les techniques de fabrication 28/18 nm FD-SOI de STMicroelectronics « leader » dans ce domaine pour la PCM et eFlash en nœud technologique spécifique. Et aussi, sur les solutions OxRAM proposées par l'Université de Sherbrooke.

Ainsi, les structures proposées seront étudiées dans un premier temps sous l'aspect comportemental électrique. Notamment, l'objectif principal est d'intégrer et caractériser des démonstrateurs dans son environnement et d'évaluer la réponse multiniveaux et le dimensionnement par l'intermédiaire de paramètres géométriques. Ceci est à mettre en regard avec l'état de l'art considéré, et ce au travers d'une figure de mérite à définir.

Il sera également développé le schéma électronique de contrôle dédié au point mémoire (synapse ou opérateur) afin d'établir un véhicule de test en adéquation avec les résultats de simulation obtenus.

On se place ici dans le cadre d'une démarche de Co-Design pour les fonctions IMC et ASNN.

En résumé, sur la base des technologies de STMicroelectronics et de Sherbrooke et de par les solutions d'intégration envisagées, il est proposé dans le cadre de cette thèse de :

- Réaliser une étude bibliographique sur les mémoires types : PCM ; eFlash et OxRAM.
- Consolider un premier démonstrateur pour les premières caractérisations multiniveaux
- Élaboration de structures optimisées dans l'environnement Cadence (layout point memory)
- Proposer des solutions d'intégration avec circuit d'écriture / lecture
- Étudier le multiniveaux en termes de cyclage et rétention en température

- Faire des simulations et proposer/développer un démonstrateur consolidé sur la base des précédents résultats
- Présenter et positionner les résultats obtenus grâce à une figure de mérite
- Proposer des communications scientifiques pour la communauté

Organisation des travaux de recherche

L'encadrement académique sera assuré par le 3IT de l'Université de Sherbrooke (Canada) et du Laboratoire TIMA de l'Université Grenoble Alpes, dans le cadre de l'école doctorale EEATS à Grenoble. STMicroelectronics est l'acteur en outre d'une expertise dans le domaine et des réalisations technologiques d'intégrations avancées. Le candidat de thèse devra posséder une bonne connaissance de la micro/nano électronique et des procédés de fabrication des circuits intégrés (intégration monolithique et schéma). La simulation numérique dans l'environnement cadence est aussi un point important dans ces travaux.

Comme précisé plus haut, le travail de recherche proposé dans cette thèse est complémentaire à des travaux de recherche qui ont démarrés dans le cadre de la chaire MIAI. Le travail de recherche de cette thèse sera fait en coordination par rapport aux travaux proposés dans le cadre de la chaire.

Le travail de recherche devra commencer par un état de l'art sur le domaine de l'IMC et ASSN et des solutions établies à ce jour. À cela s'ajoutera une recherche bibliographique conséquente sur les points mémoire de types : PCM, eFlask et OxRAM en mettant en avant les avantages et inconvénients de chaque solution (proposer une figure de mérite). Cela s'accompagnera de l'étude de l'intégration de telles mémoires dans le cadre de la fonctionnalité multiniveaux.

Il sera nécessaire d'utiliser un flow de simulation « Spice CADENCE » ce qui permettra d'analyser les solutions (point mémoire) seules et avec leur schéma de contrôle en lecture /écriture. Ce travail s'inscrit dans une démarche de performance de la mémoire et de son optimisation d'intégration sur silicium avec la notion de facteur d'échelle (ou portage).

Ainsi, après avoir mis en place et vérifié l'ensemble des outils et des procédures d'investigation, le cœur du sujet portera sur l'étude de la faisabilité de tel point mémoire et du contrôle associé ayant les applications de fonctionnalités finales : IMC et ASSN.

Notamment, par l'évolution des technologies FD-SOI et silicium massif, il sera étudié l'intégration optimisée de tels dispositifs. La notion du facteur de haute intégration est primordiale dans ces travaux de recherches. Ceci a pour objectif d'explorer les limites de l'approche.

Un point mensuel d'état d'avancement des travaux sera effectué afin d'établir des jalons, de faire une synthèse des résultats obtenus et de proposer un plan d'action. Il est également prévu de réaliser de façon trimestrielle une présentation de l'ensemble des travaux et des principaux résultats obtenus.

Il est convenu que les principaux résultats peuvent faire l'objet de communications, publications dans des revues ou congrès internationaux ou brevets, et ce, après accord des parties engagées dans cette thèse.

Le candidat sera basé sur le centre de recherche de Crolles STMicroelectronics et au 3IT de l'Université de Sherbrooke pour les étapes d'intégration technologique. Le TIMA sera laboratoire d'accueil académique et d'expertise pour les simulations IMC et ASSN. Le (a) candidat(e) aura accès à l'ensemble des moyens et outils au sein TR&D /DP pour développer et réaliser les composants proposés dont l'étude préalable montre pleinement l'intérêt de leurs intégrations.

Par conséquent, il se dégage un échéancier général en vue du développement de cette thèse :

- 1) Dans les premiers six mois : prise en main de l'environnement informatique et des outils de simulations pour la réalisation de véhicules de test dans la technologie identifiée avec, en parallèle, étude de l'état de l'art antérieur et analyse de la bibliographie. Étude des solutions technologiques pour la PCM et eFlash de STMicroelectronics et l'OxRAM de Sherbrooke.
- 2) Par la suite, analyser les différentes solutions de point mémoire et phénomènes physiques associés pour la mise en évidence du multiniveaux. Faire un choix en adéquation avec la problématique posée pour le contrôle de l'écriture et de lecture.
- 3) Proposition et évaluation de solutions avec simulations/modèles dans le cadre de la recherche optimisée de point mémoire multi niveaux. Montrer où se trouvent les limites de « rétention/performance PPA ». Le cas échéant, pousser les limites du système proposé. Élaboration d'un véhicule de test, dans l'environnement Cadence, pour preuve de concept. Consolidation de la bibliographie au regard de l'avancement des travaux.
- 4) Lancement des premiers véhicules de mesures élémentaires et complexes (IP level). On prendra soin au choix d'utilisation de la solution : cadre applicatif type IMC ou ASSN. Entreprendre une confrontation aux précédents résultats bibliographiques et mesures sur silicium disponibles à ce jour.
- 5) Étude et proposition de nouvelles approches/méthodes/solutions compatibles avec une technologie FD-SOI CMOS et massif avancée au sens général du terme. Établir une figure de mérite afin de comparer les solutions étudiées et existantes.
- 6) Entre autres, en fin de la première année, l'objectif est de communiquer à la communauté les premiers résultats obtenus et permettre d'ouvrir le réseau international d'experts du domaine. On travaillera ce point tout au long de la thèse afin de positionner l'ensemble des travaux ainsi que les partenaires de ce sujet d'étude, au plus haut niveau international.
- 7) L'objectif ambitieux au terme de la thèse sera de réaliser un véhicule de test comprenant des solutions mémoires multiniveaux optimisées en PCM, eFlash et OxRAM et ce après avoir simulé le véhicule de test complet avec leur circuit de contrôle. Ceci amène à la question de la robustesse du circuit proposé vis-à-vis de la technologie d'intégration et des spécifications d'opération (cyclage, température et rétention). On pourra proposer une figure de mérite de la solution.

8) Les derniers temps de cette thèse seront consacrés à la rédaction de la mémoire de thèse

Le tableau ci-après résume une proposition d'échéancier et des principales tâches de travail.

	S1	S2	S1	S2	S1	S2
Y1	1	1				
		2	2			
Y2		3	3	3		
		4	4	4	4	
Y3		5	5	5	5	5
		6	6	7	7	8

Contact : Philippe Galy, philippe.galy@st.com

Bibliographie :

Li, Can, et al. "Analogue signal and image processing with large memristor crossbars." *Nature Electronics* 1.1 (2018): 52. Li, Can, et al. "Efficient and self-adaptive in-situ learning in multilayer memristor neural networks." *Nature communications* 9.1 (2018): 1-8.

Ambrogio, Stefano, et al. "Equivalent-accuracy accelerated neural-network training using analogue memory." *Nature* 558.7708 (2018): 60-67.

Chen, Wei-Hao, et al. "CMOS-integrated memristive non-volatile computing-in-memory for AI edge processors." *Nature Electronics* 2.9 (2019): 420-428.

Cai, Fuxi, et al. "A fully integrated reprogrammable memristor-CMOS system for efficient multiply-accumulate operations." *Nature Electronics* 2.7 (2019): 290-299.

Yu, Shimeng. "Neuro-inspired computing with emerging nonvolatile memories." *Proceedings of the IEEE* 106.2 (2018): 260-285.

Alibart, Fabien, et al. "High precision tuning of state for memristive devices by adaptable variation-tolerant algorithm." *Nanotechnology* 23.7 (2012): 075201

Spiking:

IEDM 2019 _ IBM. 4 Million synapses chip with SNN

Wang, Xinxin, et al. "A novel RRAM-based adaptive-threshold LIF neuron circuit for high recognition accuracy." *2018 International Symposium on VLSI Technology, Systems and Application (VLSI-TSA)*. IEEE, 2018.

Kim, S., et al. "NVM neuromorphic core with 64k-cell (256-by-256) phase change memory synaptic array with on-chip neuron circuits for continuous in-situ learning." *Electron Devices Meeting (IEDM), 2015 IEEE International*. IEEE, 2015.

Milo, V., et al. "Demonstration of hybrid CMOS/RRAM neural networks with spike time/rate-dependent plasticity." *2016 IEEE International Electron Devices Meeting (IEDM)*. IEEE, 2016.

Serb, Alexander, et al. "Unsupervised learning in probabilistic neural networks with multi-state metal-oxide memristive synapses." *Nature communications* 7.1 (2016): 1-9.

Wang, Zhongrui, et al. "Fully memristive neural networks for pattern classification with unsupervised learning." *Nature Electronics* 1.2 (2018): 137-145.